

PAT-NO: JP362195146A

DOCUMENT-IDENTIFIER: JP 62195146 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: A GaAs active layer 2, Si₃N₄ film 3, source electrode 4, and drain electrode 5 are formed on an insulating GaAs substrate 1. Next, the Si₃N₄ film 3 is subjected to dry etching, whereby a groove 6 so deep as to reach the active layer 2 is formed between the source electrode 4 and drain electrode 5. An SiO₂ film 7 is formed to cover the entire surface, which results in the formation of a groove 8. A first photoresist film 9 is provided by application, when the groove 8 is filled up, and then a flattening process is so accomplished that the first photoresist film 9 is retained in the groove 8 only. A coverage is provided of a second photoresist film 10, an exposed SiO₂ film 13, which is a part of the SiO₂ film 7, is subjected to selective etching, which results in a groove 11 so deep as to reach the active layer 2. When an etchant HF:NH₄F=1:6 is employed in this process of etching, the SiO₂ film 13 will present a selection ratio of etching that is not less than 10 against the first photoresist film 9, second photoresist film 10, or Si₃N₄ film 3.

Publication Date - FPD (1):

19870827

⑫ 公開特許公報(A)

昭62-195146

⑤ Int. Cl.⁴H 01 L 21/88
21/302

識別記号

庁内整理番号

6708-5F
L-8223-5F
K-8223-5F

④ 公開 昭和62年(1987)8月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-35141

⑰ 出 願 昭61(1986)2月21日

⑱ 発 明 者 矢ノ倉 栄二 東京都千代田区神田駿河台4丁目6番地 株式会社日立製作所内

⑲ 発 明 者 渡 辺 明 禎 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 森 光 廣 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 宮 崎 隆 雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板上に側壁部を有する第1の絶縁層を形成する工程、該側壁部により形成された段差を含む第1の絶縁層上に第1の絶縁層に対してエッチングに選択性を有する第2の絶縁層を形成する工程、該第2の絶縁層上に前記側壁部の第2の絶縁層を挟んで側壁との対向部を有し、かつ第2の絶縁層に対してエッチングに選択性を有する第3の絶縁層を形成する工程、該第3の絶縁層と前記側壁により挟まれた第2の絶縁層を選択的にエッチングにより除去する工程、該第2の絶縁層が除去された箇所に金属を被着する工程を有することを特徴とする半導体装置の製造方法。

2. 特許請求の範囲第1項において、前記第2の絶縁層は第1の絶縁層よりも厚さを薄くしたことを特徴とする半導体装置の製造方法。

(1)

3. 特許請求の範囲第1項又は第2項において、前記側壁部を有する第1の絶縁層を形成する工程は、前記基板に該第1の絶縁層を被着する工程と、該第1の絶縁層の一部を基板までエッチングする工程によりなることを特徴とする半導体装置の製造方法。

4. 特許請求の範囲第1項乃至第2項のいずれかにおいて、前記第1の絶縁層の側壁部は、該第1の絶縁層に溝を形成してなり、該溝に形成された2つ側壁のいずれか一方と第3の絶縁層に挟まれた第2の絶縁層をエッチングにより除去することを特徴とする半導体装置の製造方法。

5. 特許請求の範囲第4項において、前記溝は、第3の絶縁層を形成する工程において平坦化されることを特徴とする半導体装置の製造方法。

6. 特許請求の範囲第1項乃至第5項のいずれかにおいて、前記側壁と第3の絶縁層の間の第2の絶縁層を除去する工程は、該側壁と第3の絶縁層により挟まれた領域の外側にホトレジスト膜をホトリソグラフィー法により形成する工程

(2)

と、該ホトレジスト膜をマスクとして第2の絶縁層を選択的にエッチングする工程によりなることを特徴とする半導体装置の製造方法。

7. 特許請求の範囲第1項乃至第6項のいずれかにおいて、前記金属を被着した後該金属膜上にホトリソグラフィ法により所望のパターンに形成したホトレジスト膜をマスクとして該金属膜を所望の形状にエッチングすることを特徴とする半導体装置の製造方法。

8. 特許請求の範囲第1項乃至第7項のいずれかにおいて、前記半導体装置は電界効果型トランジスタであり、前記金属は絶縁性基板上に形成された能動層上に位置するゲート電極であることを特徴とする半導体装置の製造方法。

9. 特許請求の範囲第8項において、前記第1の絶縁層の段差部はソース電極側にオフセットされていることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

(3)

部に第2のSiN膜を残すことにより、第1のSiNパターンを縮少し微細パターンを得ている。

〔発明が解決しようとする問題点〕

しかしながら、従来の方法を用いて精度よくパターン寸法を決定するためには、第1の絶縁膜を垂直にエッチングすること、及び第2の絶縁膜をジェストエッチすることが必須であり、工程が難しかった。また従来の方法を電界効果トランジスタの製造に適用した場合、ゲート電極をソース電極に寄せて自己整合的に形成することができなかった。

また、従来、ドレイン耐圧を向上させるためにゲート電極とドレイン電極とをオフセットさせる方法はホトリソ技術の合せ精度で決めており、作業性も悪く、限界があつた。

本発明の目的は、半導体素子等に用いるサブミクロンの金属パターンを容易に再現性良く形成する方法を提供することにある。

本発明の目的は、電界効果トランジスタのサブミクロンのゲート長を有するゲート電極を容易に

(5)

本発明は、半導体素子に用いる金属パターン形成方法に係り、特に0.5 μm 以下のパターンを容易に形成する方法に関する。高周波における低雑音・高出力電界効果トランジスタ及び高速デジタル素子等に適用できるものである。

〔従来の技術〕

従来、絶縁膜の堆積を利用して半導体基板上にサブミクロンのパターンを形成した例としては、“SiN多重堆積法によるサブミクロンパターン形成”西井他；第45回応用物理学会学術講演会予稿集(P. 558)がある。この従来法によれば次のようにしてサブミクロンのパターンを形成している。

(1) 基板上に第1のSiN膜を形成してDeep-UV露光で第1のSiN膜にパターンを形成する。

(2) 第2のSiN膜をパターン形成した第1のSiN膜上に形成する。

(3) 全面をリアクティブイオンエッチングする。
以上の方法によつて、第1のSiNパターン側

(4)

再現性良くソース電極側にオフセットして形成する方法を提供することにある。

〔問題点を解決するための手段〕

本発明の骨子は、エッチング速度選択比を有する2種類以上の絶縁膜を用い、以下の事を基本として構成される。

(1) 半導体基板上に側壁部を有する第1の絶縁層を形成する。

(2) 第1の絶縁層上に第2の絶縁層を被着する。

(3) 第2の絶縁層のうち、第1の絶縁層の側壁に被着した部分を選択的にエッチング除去し、半導体基板に達する溝を形成する。(従つて、第2の絶縁層はエッチング速度が第1および第3の絶縁層よりも速くなるようにその材料を選定する。)

(4) 上記溝に金属を埋め込む。

電界効果トランジスタを製造する場合には、能動層上に上記溝をソース電極側にオフセットして形成し、該溝にゲート金属を埋め込めばよい。

〔作用〕

(6)

半導体基板に接する金属の寸法は、上記第2層絶縁膜の膜厚によつて制御される。

【実施例】

実施例1

本発明をGaAsFETの製造方法に適用した場合を第1(a)～(j)により説明する。

第1図(a)に示すように、絶縁性GaAs基板1上に濃度 $2 \times 10^{17}/\text{cm}^3$ 、厚さ $0.15 \mu\text{m}$ のGaAs能動層2を形成する。この形成方法には、GaとAsをソースとするMBE法、或いはAsH₃とGa(CH₃)₃をソースとしたMOCVD法を用いる。次に第1図(b)に示すように、該能動層2上に $0.4 \mu\text{m}$ 厚さのSi₃N₄膜3をスパッタ法により形成する。形成条件は、Si₃N₄ターゲットを用い、 0.2 m torr N₂ 雰囲気中、 400 W の印加電力である。この時の形成速度は $300 \text{ Å}/\text{min}$ である。次に第1図(c)に示すように、ホトリソ工程とリフトオフ工程を用いて、Au(3000 Å)/Ni(500 Å)/AuGe(500 Å)真空蒸着法で被着し、ソース電極4

(7)

加電力である。エッチング速度は $1000 \text{ Å}/\text{min}$ である。次に第1図(h)に示すように、ホトリソ工程を用いて該ソース電極4側の該Si₃N₄膜3の側壁に被着した該SiO₂膜13を含む幅 $1 \mu\text{m}$ 以外の領域を厚さ $1.5 \mu\text{m}$ の第2のホトレジスト膜10で覆う。尚、ソース電極4側のSiO₂膜7上には、ホトレジスト膜10が形成されていなくても良い。次に、第1図(j)に示すように、露出した該SiO₂膜13を選択的にエッチングし、該能動層2に達する溝11を形成する。この時、エッチングにはHF:NH₄F=1:6の液を用いると、該第1のレジスト膜9と第2のレジスト膜10、及び該Si₃N₄膜3に対する該SiO₂膜13のエッチング選択比は10以上となる。また、SiO₂のエッチング速度は $1300 \text{ Å}/\text{min}$ である。次に第1図(j)に示すように、全面にAu(6000 Å)/Mo(500 Å)/Ti(500 Å)を真空蒸着法で被着した後リフトオフしてゲート電極12を形成する。この際第1のレジスト膜9も同時に除去される。本実施

(9)

とドレイン電極5を $4 \mu\text{m}$ の間隔をもつて形成する。次に第1図(d)に示すように、ホトリソ工程を用いて該Si₃N₄膜3をドライエッチングし、該能動層2に達する幅 $1.5 \mu\text{m}$ の溝6を該ソース電極4と該ドレイン電極5の間に形成する。ドライエッチングの条件は、 650 m torr のCF₄ガスを用い 300 W の電力を印加し、エッチング速度は $800 \text{ Å}/\text{min}$ である。次に第1図(e)に示すように、 $0.2 \mu\text{m}$ 厚さのSiO₂膜7をスパッタ法により全面に被着する。このスパッタの条件は、SiO₂ターゲットを用い、 0.2 m torr Ar 雰囲気中で、 400 W の印加電力である。また被着速度は $500 \text{ Å}/\text{min}$ である。次に第1図(f)に示すように、第1のホトレジスト膜9を $1 \mu\text{m}$ の厚さとなるようスピナーで塗布し、第1図中の溝8を埋め平坦化する。次に第1図(g)に示すように、該第1のホトレジスト膜9をRIE法により全面エッチングし、該溝8内のみ該第1のホトレジスト膜9を残す。この時のRIEの条件は、 40 m torr O₂ガスを用い 500 W の印

(8)

例によれば、ゲート電極長は第1図(e)の行程で被着したSiO₂膜7の厚さで制御される。該SiO₂膜7の厚さが $0.2 \mu\text{m}$ のとき、該側壁に被着したSiO₂膜13の厚さは $0.15 \mu\text{m}$ となり、この結果有効なゲート電極長は $0.15 \mu\text{m}$ となった。またゲート電極は自己整合的にソース電極側にオフセットして形成できる。

実施例2

本発明を用いれば、第2図(a)に示すようにGaAs基板上に垂直な側壁を有する厚さ $0.4 \mu\text{m}$ のSi₃N₄膜3が被着している時に、該側壁に隣接してサブミクロンの金属パターンを形成することができる。この時は、第2図(b)に示すように、該Si₃N₄膜3の側壁から $1.5 \mu\text{m}$ の間隔をおいてホトリソ工程を用いてホトレジスト膜14を形成する。該ホトレジスト膜14の厚さは該Si₃N₄膜3とほぼ同じ厚さとした。この時の断面形状は第1図(d)と同等であるので、第1図(e)～(j)で述べた工程を加えることにより、第2図(c)の形状が得られた。尚、金属

(10)

膜12を形成する場合、先にホトレジスト膜9を除去した後、金属膜を被着するようにして金属パターンを形成することも可能である。さらに第2図(d)に示すように、 $\text{HF}:\text{NH}_4\text{F}=1:6$ の液を用いて該 SiO_2 膜7を選択的にエッチングした後、該ホトレジスト膜14をアセトンで溶解除去し、 Si_3N_4 膜14に隣接してサブミクロンの金属パターン12が形成できた。

実施例3

本発明を用いれば、平坦なGaAs基板上にサブミクロンの金属パターンを形成することもできる。この時は第3図(a)に示すように、垂直な側壁を有する幅 $1.5\mu\text{m}$ の溝をホトレジスト膜14に形成する。該ホトレジスト膜14の厚さは $0.4\mu\text{m}$ とする。この時の断面形状は第1図(d)と同等であるので、第1図(e)～(j)で述べた工程を加えることにより、第3図(b)の形状が得られた。さらに、第3図(c)に示すように、 $\text{HF}:\text{NH}_4\text{F}=1:6$ の液を用いて該 SiO_2 膜7を選択的にエッチングした後、該ホ

(11)

し約1/2に軽減され、相互コンダクタンス g_m は10%改善された。ドレイン耐圧も1.5倍改善され、信頼度の高い電界効果トランジスタの製作が可能になった。

4. 図面の簡単な説明

第1図は(a)～(j)、第2図(a)～(d)及び第3図(a)～(c)はそれぞれ実施例の各主要段階における断面図である。

1…絶縁性GaAs基板、2…GaAs能動層、3… Si_3N_4 膜、4…ソース電極、5…ドレイン電極、6…溝、7… SiO_2 膜、8…溝、9…第1のホトレジスト膜、10…第2のホトレジスト膜、11…溝、12…ゲート電極(金属パターン)、13… Si_3N_4 膜側壁に被着した SiO_2 膜、14…ホトレジスト膜。

代理人 弁理士 小川勝男

(13)

トレジスト膜14をアセトンで溶解除去し、平坦なGaAs基板上にサブミクロンの金属パターン12が形成できた。

本実施例では、GaAs基板を用いる場合について述べたが、本発明はSi、InP等他の半導体基板を用いる場合にも適用できる。また、上記サブミクロンパターン用の金属としては、Au/Mo/Tiの他に、蒸着またはスパッタ等により被着できる、Au/Pt/Ti、Ag/Ti、Ag等の他任意の金属が使用できる。

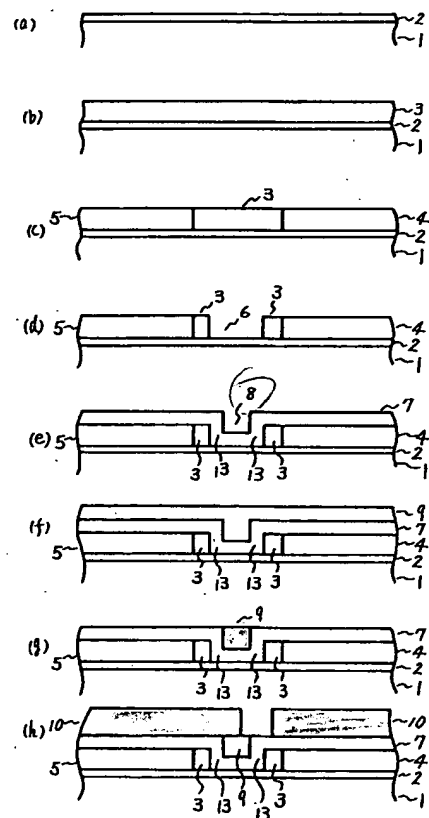
〔発明の効果〕

本発明によれば、特に $0.5\mu\text{m}$ 以下の金属パターンが容易に形成できる。すなわち $0.5\mu\text{m}$ 以下のパターン形成は通常の光を用いたリソグラフィ技術で可能となり経済性にも優れている。

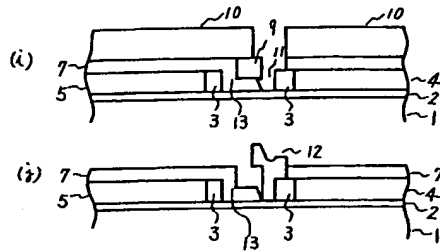
また、本発明を電効効果トランジスタの製造方法に適用した場合、特に $0.5\mu\text{m}$ 以下のゲート電極を、ソース側に寄せて自己整合的に形成できるので、高周波特性の向上、ドレイン耐圧の増大が期待できる。すなわち、直列抵抗は従来に比較

(12)

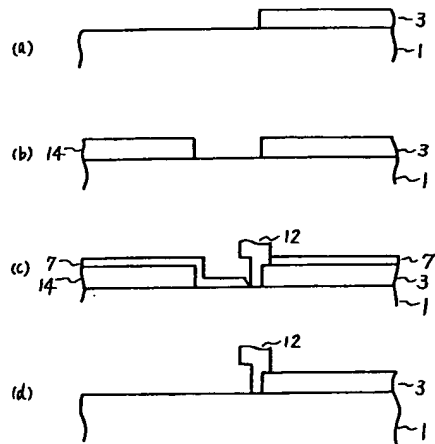
第1図



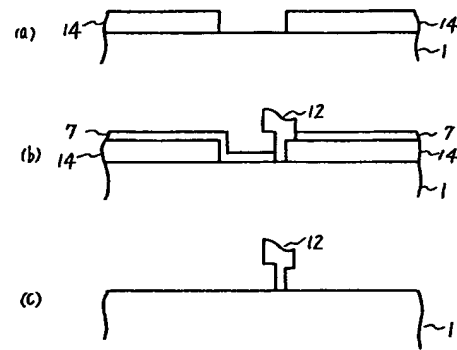
第 1 図



第 2 図



第 3 図



第1頁の続き

⑦発 明 者 高 橋

進

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内